

CF015865 US /mú

日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年10月19日

出 願 番 号

Application Number:

特願2000-319630

出 願 人

Applicant(s):

キヤノン株式会社

RECEIVED

JAN 16 2002

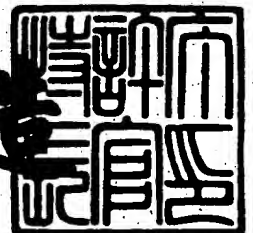
Technology Center 2600

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年11月 2日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



【書類名】 特許願

【整理番号】 4328008

【提出日】 平成12年10月19日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/14
H01L 31/00

【発明の名称】 撮像装置

【請求項の数】 18

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

【氏名】 米田 智也

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

【氏名】 小泉 徹

【特許出願人】

【識別番号】 000001007

【氏名又は名称】 キヤノン株式会社

【代表者】 御手洗 富士夫

【代理人】

【識別番号】 100065385

【弁理士】

【氏名又は名称】 山下 穰平

【電話番号】 03-3431-1831

【手数料の表示】

【予納台帳番号】 010700

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9703871

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 撮像装置

【特許請求の範囲】

【請求項 1】 同一半導体チップ上に 2 次元状に配列された画素を有する撮像領域を水平方向及び垂直方向に複数配列し、

水平方向の複数の画素毎に画素に対して信号を共通に供給するための信号供給手段を垂直方向の複数の撮像領域に対して独立に複数設けることを特徴とする撮像装置。

【請求項 2】 同一半導体チップ上に形成された 2 次元状に配列された画素を有する撮像領域を複数と、

前記複数の撮像領域に含まれる複数の画素に共通に接続された出力線を複数と

前記複数の出力線からの信号を選択的に出力する前記複数の撮像領域で共通に設けられた出力部と、

前記複数の撮像領域に含まれる画素に対して信号を供給するための信号供給手段とを有することを特徴とする撮像装置。

【請求項 3】 異なる撮像領域であって同じ行の画素に対して、順次信号を供給するように前記信号供給手段を駆動するための駆動手段を有することを特徴とする請求項 2 記載の撮像装置。

【請求項 4】 前記信号供給手段は、前記複数の撮像領域の各々に独立に設けられていることを特徴とする請求項 2 又は 3 記載の撮像装置。

【請求項 5】 同一半導体チップ上に 2 次元状に配列された画素を有する撮像領域を水平方向及び垂直方向に複数配列し、

複数の撮像領域からの信号を選択的に読み出すための、水平方向の撮像領域に対して共通に設け、垂直方向の撮像領域に対して別々に設けられた複数の出力部と、

前記画素に対して信号を供給するための信号供給手段と、

前記垂直方向の異なる撮像領域であって、同じ行の画素の信号に対して同時に信号を供給するように前記信号供給手段を駆動するための駆動手段とを有するこ

とを特徴とする撮像装置。

【請求項 6】 前記駆動手段は、水平方向の複数の撮像領域からの信号を画素毎に交互に、前記出力部から読み出すように駆動することを特徴とする請求項 5 記載の撮像装置。

【請求項 7】 2 次元状に配列された画素を有する撮像領域を複数と、
前記複数の撮像領域からの信号を選択的に読み出す前記複数の撮像領域で共通に設けられた出力部と、
前記複数の撮像領域からの信号を画素毎に交互に、前記出力部から読み出すように駆動する駆動手段とを有することを特徴とする撮像装置。

【請求項 8】 同一半導体チップ上に 2 次元に配列された画素を有する撮像領域を複数備え、

前記複数の撮像領域の各々の同行同列に配列されている画素のいくつかに対して順次又は同時に信号を供給するための手段と、

供給された前記信号に応じて読み出される信号を順次外部へ出力するための手段とをそれぞれ複数設けることを特徴とする撮像装置。

【請求項 9】 前記複数の撮像領域の各々の同行同列に配列されている画素のいくつかに対して順次又は同時に信号を供給するための手段と、供給された前記信号に応じて読み出される信号を順次外部へ出力するための手段とを、前記複数の撮像領域の各々に対して設けることを特徴とする請求項 8 記載の撮像装置。

【請求項 1 0】 前記複数の撮像領域の各々の同行同列に配列されている画素のいくつかに対して順次又は同時に信号を供給するための手段の各々と、供給された前記信号に応じて読み出される信号を順次外部へ出力するための手段の各々とを、前記複数の撮像領域を囲うように配置することを特徴とする請求項 7 又は 8 記載の撮像装置。

【請求項 1 1】 前記複数の撮像領域の各々の同行同列に配列されている画素のいくつかに対して順次又は同時に信号を供給するための手段の各々と、供給された前記信号に応じて読み出される信号を順次外部へ出力するための手段の各々との少なくとも一方を、前記複数の撮像領域間に配置することを特徴とする請求項 8 から 1 0 のいずれか 1 項記載の撮像装置。

【請求項 1 2】 前記複数の撮像領域の各々の同行同列に配列されている画素のいくつかに対して順次又は同時に信号を供給するための手段の各々と、供給された前記信号に応じて読み出される信号を順次外部へ出力するための手段の各々の少なくとも一方を、前記複数の撮像領域に対して共通に設けることを特徴とする請求項 8 から 1 1 のいずれか 1 項記載の撮像装置。

【請求項 1 3】 前記複数の撮像領域の各々は、色分解フィルタが設けられていることを特徴とする請求項 1 から 1 2 のいずれか 1 項記載の撮像装置。

【請求項 1 4】 同一の撮像領域は、同一の色成分を透過する色フィルタが配置されていることを特徴とする請求項 1 から 1 3 のいずれか 1 項記載の撮像装置。

【請求項 1 5】 前記複数の撮像領域の各々は、R、G、B 色分解フィルタのいずれかが設けられ、前記各分解フィルタは、R フィルタと B フィルタとが対角に配置され、2 つの G フィルタが対角に配置されることを特徴とする請求項 1 から 1 4 のいずれか 1 項記載の撮像装置。

【請求項 1 6】 前記複数の画素の各々は、MOS 撮像素子又は CCD 撮像素子を有し、

前記複数の撮像領域の各々で対応して配列されている画素行又は画素列に対して順次信号を供給するための手段と、供給された前記信号に応じて読み出される信号を順次外部へ出力するための手段とは、それぞれシフトレジスタ又は転送 CCD であることを特徴とする請求項 8 から 1 2 のいずれか 1 項記載の撮像装置。

【請求項 1 7】 前記各撮像領域へ光を結像する光学系と、
前記各撮像領域からの出力信号を処理する信号処理回路とを有することを特徴とする請求項 1 から 1 6 のいずれか 1 項記載の撮像装置。

【請求項 1 8】 前記光学系は、被写体像を複数の像に分割して、各々の撮像領域に像を結像させることを特徴とする請求項 1 7 記載の撮像装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、たとえばデジタルカメラ等の撮像装置に関する。

【 0 0 0 2 】

【従来の技術】

従来の固体撮像素子の構成の一例を図 1 0 に示す。同図において、1 0 1 はフォトダイオード等の光電変換部を有する画素であり、この画素を 2 次元状に配列することによって、被写体像を撮像する画素領域 1 0 0 を形成している。

【 0 0 0 3 】

また、1 0 3 は画素 1 0 1 からの信号が読み出される垂直信号線、1 0 4 は画素は垂直信号線に読み出された信号を一時蓄積する保持容量、1 0 5 は垂直信号線 1 0 3 に読み出された信号を保持容量 1 0 4 に転送するための転送 MOS トランジスタ、1 0 6 a, 1 0 6 b は保持容量 1 0 4 の信号を水平信号線 1 0 7 に転送するための転送 MOS トランジスタである。

【 0 0 0 4 】

さらに、1 0 8 は水平方向の一行の画素 1 0 1 毎に、順次垂直方向に走査することによって、一行毎に画素 1 0 1 から垂直信号線 1 0 3 に信号を読み出すように制御する垂直走査回路、1 0 9 a, 1 0 9 b は転送 MOS トランジスタ 1 0 6 a, 1 0 6 b を制御することによって、保持容量 1 0 4 に蓄積された信号を順次水平信号線 1 0 7 a, 1 0 7 b に順次読み出す水平走査回路、1 1 0 a, 1 1 0 b は水平信号線 1 0 7 a, 1 0 7 b をリセットするためのリセット MOS トランジスタである。また、1 0 7 は画素 1 0 1 内に含まれるトランジスタとソースフォロワを形成する負荷電流源である。

【 0 0 0 5 】

ここで、従来の固体撮像素子のカラーフィルタの配置について説明する。図 1 1 は、その一例であって、1 2 1 は赤色光を透過する第一のカラーフィルタ、1 2 2 は緑色光を透過する第二のカラーフィルタ、1 2 3 は青色光を透過する第三のカラーフィルタである。

【 0 0 0 6 】

そして、2 次元状に配置された画素のそれぞれに対応して、画素 1 0 1 の第 1 列から始まる奇数列には第一のカラーフィルタ 1 2 1 と第二のカラーフィルタ 1 2 2 とが交互に配置され、画素の第 2 列から始まる偶数列には第二のカラーフイ

ルタ 1 2 2 と第三のカラーフィルタ 1 2 3 とが交互に配置されている。さらに奇数列と偶数列では第二のカラーフィルタ 1 2 2 が互いに水平方向で隣接しないように配置されている。

【 0 0 0 7 】

【発明が解決しようとする課題】

しかし、従来の固体撮像素子は、画素領域 1 0 1 は図 1 1 で示したように複数のカラーフィルタを配置しているものの、この方法ではたとえば画素ピッチ 1 0 μ m で画素数が水平 6 4 0 画素、垂直 4 8 0 画素のような固体撮像素子の場合に、その標準画角を与えるレンズの焦点距離は固体撮像素子の対角長である 8 m m となる。

【 0 0 0 8 】

このため、このような固体撮像素子を用いて、たとえばデジタルカメラ等の撮像装置を作製する場合に、薄型化に限界がある。

【 0 0 0 9 】

【課題を解決するための手段】

上記課題を解決するために、本発明は、同一半導体チップ上に 2 次元状に配列された画素を有する撮像領域を水平方向及び垂直方向に複数配列し、水平方向の複数の画素毎に画素に対して信号を共通に供給するための信号供給手段を垂直方向の複数の撮像領域に対して独立に複数設けることを特徴とする。

【 0 0 1 0 】

また、本発明は、同一半導体チップ上に形成された 2 次元状に配列された画素を有する撮像領域を複数と、前記複数の撮像領域に含まれる複数の画素に共通に接続された出力線を複数と、前記複数の出力線からの信号を選択的に出力する前記複数の撮像領域で共通に設けられた出力部と、前記複数の撮像領域に含まれる画素に対して信号を供給するための信号供給手段とを有することを特徴とする。

【 0 0 1 1 】

さらに、本発明は、同一半導体チップ上に 2 次元状に配列された画素を有する撮像領域を水平方向及び垂直方向に複数配列し、複数の撮像領域からの信号を選択的に読み出すための、水平方向の撮像領域に対して共通に設け、垂直方向の撮

像領域に対して別々に設けられた複数の出力部と、前記画素に対して信号を供給するための信号供給手段と、前記垂直方向の異なる撮像領域であって、同じ行の画素の信号に対して同時に信号を供給するように前記信号供給手段を駆動するための駆動手段とを有することを特徴とする。

【 0 0 1 2 】

さらにまた、本発明は、2次元状に配列された画素を有する撮像領域を複数と、前記複数の撮像領域からの信号を選択的に読み出す前記複数の撮像領域で共通に設けられた出力部と、前記複数の撮像領域からの信号を画素毎に交互に、前記出力部から読み出すように駆動する駆動手段とを有することを特徴とする。

【 0 0 1 3 】

また、本発明の撮像装置は、同一半導体チップ上に2次元に配列された画素を有する撮像領域を複数備え、前記複数の撮像領域の各々の同行同列に配列されている画素のいくつかに対して順次又は同時に信号を供給するための手段と、供給された前記信号に応じて読み出される信号を順次外部へ出力するための手段とをそれぞれ複数設けることを特徴とする。

【 0 0 1 4 】

【発明の実施の形態】

(実施形態1)

図1は、本発明の実施形態1の固体撮像素子の構成を示す模式図であり、たとえばCMOSプロセス等によって同一の半導体チップ上に形成されている。図1において、905はフォトダイオードを有する画素、901～904は画素905が2次元に配列されそれぞれ像を結像させるR、G1、G2、Bフィルタがそれぞれ備えられた撮像領域、906aは撮像領域901、902の垂直方向の画素走査を制御するために生成した制御信号を外部から入力されるクロック信号VCLK2に従って出力する垂直シフトレジスタ、906bは撮像領域903、904の垂直方向の画素走査を制御するために生成した制御信号を外部から入力されるクロック信号VCLK1に従って出力する信号供給手段である垂直シフトレジスタ、907は垂直シフトレジスタ906a、906bからの出力される制御信号に応じて画素905内から電荷又は電荷に基づく増幅信号を読み出す読み出

しパルスを含む画素 9 0 5 を駆動するパルス信号を出力するパルス信号出力回路、9 0 9 はパルス信号出力回路 9 0 7 から出力されるパルス信号を各画素 9 0 5 に伝送する水平信号線、9 1 2 は各画素 9 0 5 から読み出された電荷等を伝送する垂直信号線、9 1 0 は伝送された電荷等を 1 行分毎に保持するラインメモリ、9 1 1 a はラインメモリ 9 1 0 に保持された電荷等のうち撮像領域 9 0 1, 9 0 3 からの読み出されたものを順次外部の処理回路へ出力させる制御信号を生成して外部から入力されるクロック信号 H C L K 1 に従って出力する水平シフトレジスタ、9 1 1 b はラインメモリ 9 1 0 に保持された電荷等のうち撮像領域 9 0 2, 9 0 4 からの読み出されたものを順次外部の処理回路へ出力させる制御信号を生成して外部から入力されるクロック信号 H C L K 2 に従って出力する読み出し手段である水平シフトレジスタ、9 1 3 はラインメモリ 9 1 0 から出力された電荷等を増幅する出力部である増幅器、9 1 4 は増幅された電荷等を処理回路へ出力する出力端子である。

【 0 0 1 5 】

なお、図 1 では、複雑化を避けるために撮像領域 9 0 1 ~ 9 0 4 には、それぞれ 3 × 3 の画素を図示しているが、実際には水平方向及び垂直方向ともに必要とされる解像度に応じた複数の画素が配列されている。また、各画素 9 0 5 に付している番号は、後述するように電荷等を読み出す順番を意味している。

【 0 0 1 6 】

図 2 は、画素 9 0 5、パルス信号出力回路 9 0 7 及びラインメモリ 9 1 0 の回路図である。図 2 において、9 2 1 は光を電荷に変換するフォトダイオード、9 2 2 はフォトダイオード 9 2 1 で変換された電荷をフローティングディフュージョン領域に転送する転送スイッチ、9 2 3 は転送された電荷に基づく増幅信号を得るための MOS トランジスタ、9 2 5 は増幅信号を垂直信号線 9 1 2 に読み出す画素 9 0 5 を選択する選択スイッチ、9 2 4 は増幅信号を読み出した後のフローティングディフュージョン領域及びフォトダイオード 9 2 1 の電位をリセットするリセットスイッチである。

【 0 0 1 7 】

また、図 2 において、9 2 6 ~ 9 2 8 は選択スイッチ 9 2 5、リセットスイッ

チ 9 2 4 及び転送スイッチ 9 2 2 のオン／オフをそれぞれ制御する選択パルス、リセットパルス及び転送パルスを伝送する選択パルス伝送線、リセットパルス伝送線及び転送パルス伝送線、9 3 1 ～ 9 3 3 は転送パルス伝送線 9 2 8，リセットパルス伝送線 9 2 7 及び選択パルス伝送線 9 2 6 を伝送する転送パルス、リセットパルス及び選択パルスをそれぞれ生成する生成信号を入力する転送パルス生成信号入力端子、リセットパルス生成信号入力端子及び選択パルス生成信号入力端子、9 3 0 は転送パルス生成信号入力端子 9 3 1，リセットパルス生成信号入力端子 9 3 2 及び選択パルス生成信号入力端子 9 3 3 から入力される各生成信号と垂直シフトレジスタ 9 0 6 から出力される制御信号とを加算する AND ゲート、9 3 4 は垂直出力線 9 1 2 に読み出された電荷のラインメモリ 9 1 0 への入力を制御する入力制御スイッチ、9 3 7 は入力制御スイッチ 9 3 4 のオン／オフを制御する制御パルスを伝送する制御パルス伝送線、9 3 5 は各垂直出力線 9 1 2 に読み出された電荷を蓄積する容量、9 3 6 は容量 9 3 5 に蓄積されている電荷の出力を制御する出力制御スイッチ、9 1 5 は水平シフトレジスタからの制御信号を入力する入力端子である。

【 0 0 1 8 】

なお、図 2 に示したような MOS 型撮像素子を有する画素は、自動露出機構 (Auto Exposure) に優れていたり、低消費電力化を実現できたり、1 つのチップで形成することができたり、非破壊読み出しができるという利点があるが、図 2 に示す構成以外にも、たとえば、アンプリファイド MOS イメージャ (AMI) 撮像素子や、チャージモジュレーションデバイス (CMD)、CCD 撮像素子などを用いることもできる。ちなみに、たとえば CCD 撮像素子を用いると、垂直シフトレジスタ 9 0 6 a，9 0 6 b、水平シフトレジスタ 9 1 1 a，9 1 1 b に代えて、垂直転送 CCD、水平転送 CCD を配置すればよい。

【 0 0 1 9 】

なお、水平信号線 9 0 9 は、転送パルス伝送線 9 2 8，リセットパルス伝送線 9 2 7 及び選択パルス伝送線 9 2 6 を備えている。

【 0 0 2 0 】

つぎに、図 1，図 2 の動作について説明する。まず、被写体からの光が撮像レ

ンズによって固体撮像素子に集光される。そして、R、G 1、G 2、Bの各撮像領域9 0 1～9 0 4内の対応する位置に配置されている各フォトダイオード9 2 1に光が入射すると、電荷が生成される。

【0 0 2 1】

本実施形態では、後に図9を用いて説明するように、被写体像は、複数の像に分割され、それぞれの像が各撮像領域9 0 1～9 0 4に結像される。

【0 0 2 2】

その後、各垂直シフトレジスタ9 0 6 bからクロック信号VKLC 1にそれぞれ従って出力された制御信号が各入力端子9 2 9を通じてパルス信号出力回路9 0 7に入力されると、パルス信号出力回路9 0 7では、ANDゲート9 3 0によってこの制御信号と転送パルス生成信号入力端子9 3 1を通じて入力される生成信号とに基づいて各転送スイッチ9 2 2をオンする転送パルス信号を生成して、転送パルス伝送線9 2 8を通じて画素9 0 5側へ伝送する。

【0 0 2 3】

すると、たとえばG 2撮像領域9 0 3、B撮像領域9 0 4の各3行目の画素9 0 5の転送スイッチ9 2 2がオンされ、係るフォトダイオード9 2 1内の電荷は、フローティングディフュージョン領域に転送される。これにより、これらの電荷によって各MOSトランジスタ9 2 3のゲートがオンされる。

【0 0 2 4】

つぎに、各垂直シフトレジスタ9 0 6 bからクロック信号VKLC 1に従ってそれぞれ出力された制御信号が各入力端子9 2 9を通じてパルス信号出力回路9 0 7に入力されると、パルス信号出力回路9 0 7では、ANDゲート9 3 0によってこの制御信号と選択パルス生成信号入力端子9 3 3を通じて入力される生成信号とに基づいて、上記電荷に基づく増幅信号が読み出される画素9 0 5の各選択スイッチ9 2 5のゲートをオンする選択パルス信号を生成して、選択パルス伝送線9 2 6を通じて伝送する。

【0 0 2 5】

ここでは、各撮像領域9 0 1～9 0 4の3行目の各画素9 0 5に番号を付しているように、G 2撮像領域9 0 3の3行1列目の画素9 0 5、B撮像領域9 0 4

の 3 行 1 列目の画素 9 0 5、G 2 撮像領域 9 0 3 の 3 行 2 列目の画素 9 0 5、B 撮像領域 9 0 4 の 3 行 2 列目の画素 9 0 5、G 2 撮像領域 9 0 3 の 3 行 3 列目の画素 9 0 5、B 撮像領域 9 0 4 の 3 行 3 列目の画素 9 0 5 の各選択スイッチ 9 2 5 のゲートがオンされるようにしている。

【 0 0 2 6 】

こうして、各 MOS トランジスタ 9 2 3 によって得られた増幅信号が、各垂直信号線 9 1 2 に読み出される。なお、増幅信号が読み出された各画素 9 0 5 では、各垂直シフトレジスタ 9 0 6 b からクロック信号 V K L C 1 に従ってそれぞれ出力された制御信号とリセットパルス生成信号入力端子 9 3 2 を通じて入力される生成信号とに基づいて AND ゲート 9 3 0 によって生成されたりセットパルス信号によって各リセットスイッチ 9 2 4 がオンされ、各フローティングディフュージョン領域及び各フォトダイオード 9 2 1 の電位がリセットされる。

【 0 0 2 7 】

一方、各垂直信号線 9 1 2 に読み出された増幅信号は、制御パルス伝送線 9 3 7 を通じて伝送される信号に応じて入力制御スイッチ 9 3 4 がオンされると、ラインメモリ 9 1 0 の各容量 9 3 5 に蓄積される。

【 0 0 2 8 】

その後、各水平シフトレジスタ 9 1 1 a、9 1 1 b で各容量 9 3 5 に蓄積されている増幅信号を順次外部に出力させる制御信号が生成され、クロック信号 H C L K 1、2 に従ってそれぞれラインメモリ 9 1 0 へ出力される。ここで、クロック信号 H C L K 1、2 のハイ／ローが相互に交互になるようにすると、各画素 9 0 5 の増幅信号の読み出し順で、各出力制御スイッチ 9 3 6 が順次オンされ、ラインメモリ 9 1 0 に蓄積されている増幅信号が外部へ出力される。

【 0 0 2 9 】

同様に、R 撮像領域 9 0 1、G 1 撮像領域 9 0 2 の 3 行目の各画素 9 0 5 から増幅信号が読み出される。つづいて、G 2 撮像領域 9 0 3、B 撮像領域 9 0 4 の 2 行目の各画素 9 0 5、R 撮像領域 9 0 1、G 1 撮像領域 9 0 2 の 2 行目の各画素 9 0 5、G 2 撮像領域 9 0 3、B 撮像領域 9 0 4 の 1 行目の各画素 9 0 5、R 撮像領域 9 0 1、G 1 撮像領域 9 0 2 の 1 行目の各画素 9 0 5 からの増幅信号が

、それぞれ外部へ出力される。

【 0 0 3 0 】

以上説明したように、本実施形態では、全ての画素 9 0 5 に対して、それぞれ 2 つずつ垂直シフトレジスタ 9 0 6 a, 9 0 6 b と水平シフトレジスタ 9 1 1 a, 9 1 1 b とを備えることによって、各撮像領域 9 0 1 ~ 9 0 4 の対応する位置に配置されている画素 9 0 5 から読み出された各電荷等を処理回路へ出力する際に、1 行分の画素 9 0 5 に対して制御信号を出力する分の時間差しか生じないようにしている。

【 0 0 3 1 】

つまり、垂直方向に配置されている撮像領域に対して、1 つの撮像領域からの信号が出力された後に、次の撮像領域からの信号を出力する場合には、垂直方向の 2 つの撮像領域間の光電荷の蓄積時間は、大幅にずれ、最終的な画像に対して悪い影響を与えることになる。

【 0 0 3 2 】

具体的に処理回路で生じる時間のロスは、たとえば各撮像領域に画素が m 行、すなわち固体撮像素子全体で $2m$ 行の画素が配列されている場合には、 R 撮像領域の i ($1 \leq i \leq m$) 行目の画素に対して制御信号を出力してから、 $G2$ 撮像領域の i ($1 \leq i \leq m$) 行目の画素に対して制御信号が出力されるまでに、 m 行分の画素に対して制御信号を出力する分の時間差であったが、本実施形態では上記で説明したような駆動により、垂直方向の 2 つの撮像領域間の光電荷の蓄積時間のずれがほとんどなくなる。

【 0 0 3 3 】

また、本実施形態では、ラインメモリに蓄積された信号の読み出しに際して、異なる撮像領域から画素毎に交互に信号を出力しているために、後段の処理回路での処理が容易になる。

【 0 0 3 4 】

また、本実施形態では、各撮像領域毎に増幅器等を設けず、4 つの撮像領域で共通に設けているため、たとえば増幅器毎のばらつき等がなくなり、良好な画像を得ることが可能となる。

【 0 0 3 5 】

(実施形態 2)

図 3 は、本発明の実施形態 2 の固体撮像素子の構成を示す模式図であり、CMOS プロセス等によって同一半導体チップ上に形成されている。図 3 において、910a, 911b はそれぞれ R 撮像領域 901, G1 撮像領域 902 に配列されている画素 905 から読み出された電荷等を蓄積するラインメモリ、911c ~ 911f は、それぞれラインメモリ 910a, 911b に保持された電荷等のうち R 撮像領域 901, G1 撮像領域 902, G2 撮像領域 903, B 撮像領域 904 からの読み出されたものを順次外部の処理回路へ出力する水平シフトレジスタである。なお、図 3 において、図 1 に示している部分と同様の部分には同一符号を付している。

【 0 0 3 6 】

また、図 3 に示す固体撮像素子の動作は、図 1 に示すものと同様であるが、垂直シフトレジスタ 906a, 906b で生成される制御信号は、図 3 に番号を付しているように、各撮像領域 901 ~ 904 の 3 行目に配列されている画素 905 に着目すると、たとえば G2 撮像領域 903 の 3 行 1 列目の画素 905 からの増幅信号と R 撮像領域 901 の 3 行 1 列目の画素 905 からの増幅信号とを同時に、つぎに B 撮像領域 904 の 3 行 1 列目の画素 905 からの増幅信号と G1 撮像領域 902 の 3 行 1 列目の画素 905 からの増幅信号とを同時に、つぎに G2 撮像領域 903 の 3 行 2 列目の画素 905 からの増幅信号と R 撮像領域 901 の 3 行 2 列目の画素 905 からの増幅信号とを同時に、つぎに B 撮像領域 904 の 3 行 2 列目の画素 905 からの増幅信号と G1 撮像領域 902 の 3 行 2 列目の画素 905 からの増幅信号とを同時に、という順に処理回路へ出力させている。

【 0 0 3 7 】

さらに、R 撮像領域 901 に配列されている画素 905 から読み出されて、ラインメモリ 910a で蓄積されている増幅信号は、水平シフトレジスタ 911c で生成される制御信号に応じて処理回路へ出力される。G1 撮像領域 902 に配列されている画素 905 から読み出されて、ラインメモリ 910a で蓄積されている増幅信号は、水平シフトレジスタ 911d で生成される制御信号に応じて処

理回路へ出力される。

【0038】

同様に、G2撮像領域903に配列されている画素905から読み出されて、ラインメモリ901bで蓄積されている増幅信号は、水平シフトレジスタ911eで生成される制御信号に応じて処理回路へ出力される。B撮像領域904に配列されている画素905から読み出されて、ラインメモリ910fで蓄積されている増幅信号は、水平シフトレジスタ911dで生成される制御信号に応じて処理回路へ出力される。

【0039】

以上説明したように、本実施形態では、全ての画素905に対して、2つの垂直シフトレジスタ906a、906bと4つの水平シフトレジスタ911c～911fとを備えることによって、各撮像領域901～904の対応する位置に配置されている画素905から読み出された各電荷等を処理回路へ出力する際に、時間差が生じないようにしている。

【0040】

つまり、垂直方向に配置されている撮像領域に対して、1つの撮像領域からの信号が出力された後に、次の撮像領域からの信号を出力する場合には、垂直方向の2つの撮像領域間の光電荷の蓄積時間は、大幅にずれ、最終的な画像に対して悪い影響を与えることになる。

【0041】

具体的に処理回路で生じる時間のロスは、たとえば各撮像領域に画素がm行、すなわち固体撮像素子全体で2m行の画素が配列されている場合には、R撮像領域の i ($1 \leq i \leq m$) 行目の画素に対して制御信号を出力してから、G2撮像領域の i ($1 \leq i \leq m$) 行目の画素に対して制御信号が出力されるまでに、m行分の画素に対して制御信号を出力する分の時間差であったが、本実施形態では、垂直方向の2つの撮像領域間の光電荷の蓄積時間のずれが全くなくなる。

【0042】

また、本実施形態では、ラインメモリに蓄積された信号の読み出しに際して、異なる撮像領域から画素毎に交互に信号を出力しているために、後段の処理回路

での処理が容易になる。以上説明した本発明の各実施形態では、撮像領域901～904をいわゆるベイア配列した場合を例に説明したが、カラーフィルタの設ける位置は他の配列であっても、また、補色フィルタであってもよい。

【0043】

また、垂直シフトレジスタ906a等及び水平シフトレジスタ911a等の数は、図1，図3に示した場合に限られず、たとえば各撮像領域901～904毎に4つつ設けてもよく、また設ける位置もたとえば各撮像領域901～904間としてもよい。

【0044】

図4～図7は、各撮像領域901～904に対する垂直シフトレジスタ906a等及び水平シフトレジスタ911a等の配置例を示す図である。なお、図4～図7にそれぞれ示す固体撮像素子は、たとえば実施形態1，2でそれぞれ説明したいずれかの順や、各撮像領域901～904の同行同列の画素905から同時に電荷等を処理回路へ出力するようにすればよい。

【0045】

図4には、4つつ垂直シフトレジスタ906c～906f及び水平シフトレジスタ911c～911fを設け、各撮像領域901～904の左側に垂直シフトレジスタ906c～906fを配置し、各撮像領域901～904の下側に水平シフトレジスタ911c～911fを配置した様子を図示している。

【0046】

図4に示す固体撮像素子は、各撮像領域901～904に対してそれぞれ垂直シフトレジスタ906c～906fと、水平シフトレジスタ911c～911fとが設けられているため、各撮像領域901～904の同行同列の画素905から同時に電荷等を処理回路へ出力するようにすることができる。

【0047】

図5には、各撮像領域901～904を囲うように、垂直シフトレジスタ906c～906f及び水平シフトレジスタ911c～911fをした様子を図示している。

【0048】

図 5 に示す固体撮像素子は、図 4 に示したものと同様に、各撮像領域 9 0 1 ~ 9 0 4 に対してそれぞれ垂直シフトレジスタ 9 0 6 c ~ 9 0 6 f と、水平シフトレジスタ 9 1 1 c ~ 9 1 1 f とが設けられているため、各撮像領域 9 0 1 ~ 9 0 4 の同行同列の画素 9 0 5 から同時に電荷等を処理回路へ出力するようにすることができる。

【 0 0 4 9 】

図 6 には、4 つの垂直シフトレジスタ 9 0 6 c ~ 9 0 6 f 等及び 2 つの水平シフトレジスタ 9 1 1 e, 9 1 1 f を設け、各水平シフトレジスタ 9 1 1 e, 9 1 1 f をそれぞれ R 撮像領域 9 0 1 と G 2 撮像領域 9 0 3 との間、G 1 撮像領域 9 0 2 と B 撮像領域 9 0 4 との間に配置した様子を図示している。

【 0 0 5 0 】

図 6 に示す固体撮像素子は、各水平シフトレジスタ 9 1 1 e, 9 1 1 f を共通させて設けているため、図 3 又は図 4 に示したものと同一順序で各画素 9 0 5 から同時に電荷等を処理回路へ出力するようにすることができる。

【 0 0 5 1 】

図 7 には、各垂直シフトレジスタ 9 0 6 e, 9 1 1 f をそれぞれ R 撮像領域 9 0 1 と G 1 撮像領域 9 0 2 との間、G 2 撮像領域 9 0 3 と B 撮像領域 9 0 4 との間に配置し、各水平シフトレジスタ 9 1 1 e, 9 1 1 f をそれぞれ R 撮像領域 9 0 1 と G 2 撮像領域 9 0 3 との間、G 1 撮像領域 9 0 2 と B 撮像領域 9 0 4 との間に配置した様子を図示している。

【 0 0 5 2 】

図 7 に示す固体撮像素子は、各垂直シフトレジスタ 9 0 6 e, 9 1 1 f 及び各水平シフトレジスタ 9 1 1 e, 9 1 1 f を共通させて設けているため、図 3 又は図 4 に示したものと同一順序で各画素 9 0 5 から同時に電荷等を処理回路へ出力するようにすることができる。

【 0 0 5 3 】

(実施形態 3)

図 8 は、実施形態 1, 2 において説明した固体撮像素子を用いた撮像装置の構成図である。図 8 において、1 はレンズのプロテクトとメインスイッチを兼ねる

バリア、2は被写体の光学像を固体撮像素子4に結像させるレンズであり、図9に示すように、被写体像を複数の像に分割して、実施形態1又は2で説明した各々の撮像領域に結像させる役目を担っている。3はレンズを通った光量を可変するための絞り、4はレンズ2で結像された被写体を画像信号として取り込むための上記の実施形態1又は2で説明した固体撮像素子、5は固体撮像素子4から出力される画像信号に各種の補正、クランプ等の処理を行う撮像信号処理回路、6は固体撮像素子4より出力される画像信号のアナログーデジタル変換を行うA/D変換器、7はA/D変換器6より出力された画像データに各種の補正を行ったりデータを圧縮したり、各々の撮像領域からの画像データを合成したりする信号処理部、8は固体撮像素子4、撮像信号処理回路5、A/D変換器6、信号処理部7に各種タイミング信号を出力する駆動手段であるタイミング発生部、9は各種演算とスチルビデオカメラ全体を制御する全体制御・演算部、10は画像データを一時的に記憶するためのメモリ部、11は記録媒体に記録又は読み出しを行うための記録媒体制御インターフェース部、12は画像データの記録又は読み出しを行うための半導体メモリ等の着脱可能な記録媒体、13は外部コンピュータ等と通信するための外部インターフェース(I/F)部である。

【0054】

つぎに、図8の動作について説明する。バリア1がオープンされるとメイン電源がオンされ、つぎにコントロール系の電源がオンし、さらに、A/D変換器6などの撮像系回路の電源がオンされる。それから、露光量を制御するために、全体制御・演算部9は絞り3を開放にし、固体撮像素子4から出力された信号は、撮像信号処理回路5をスルーしてA/D変換器6へ出力される。A/D変換器6は、その信号をA/D変換して、信号処理部7に出力する。信号処理部7は、そのデータを基に露出の演算を全体制御・演算部9で行う。

【0055】

この測光を行った結果により明るさを判断し、その結果に応じて全体制御・演算部9は絞りを制御する。つぎに、固体撮像素子4から出力された信号をもとに、高周波成分を取り出し被写体までの距離の演算を全体制御・演算部9で行う。その後、レンズを駆動して合焦か否かを判断し、合焦していないと判断したとき

は、再びレンズを駆動し測距を行う。

【 0 0 5 6 】

そして、合焦が確認された後に本露光が始まる。露光が終了すると、固体撮像素子 4 から出力された画像信号は、撮像信号処理回路 5 において補正等がされ、さらに A/D 変換器 6 で A/D 変換され、信号処理部 7 を通り全体制御・演算 9 によりメモリ部 10 に蓄積される。その後、メモリ部 10 に蓄積されたデータは、全体制御・演算部 9 の制御により記録媒体制御 I/F 部を通り半導体メモリ等の着脱可能な記録媒体 12 に記録される。また外部 I/F 部 13 を通り直接コンピュータ等に入力して画像の加工を行ってもよい。

【 0 0 5 7 】

【発明の効果】

以上説明したように、本発明は、撮像領域間で光電荷の蓄積時間のずれを少なくすることができ、良好な画像を形成することができる。

【図面の簡単な説明】

【図 1】

本発明の実施形態 1 の固体撮像素子の構成を示す模式図である。

【図 2】

図 1 の画素、パルス信号出力回路及びラインメモリの回路図である。

【図 3】

本発明の実施形態 2 の固体撮像素子の構成を示す模式図である。

【図 4】

他の固体撮像素子の構成例を示す模式図である。

【図 5】

他の固体撮像素子の構成例を示す模式図である。

【図 6】

他の固体撮像素子の構成例を示す模式図である。

【図 7】

他の固体撮像素子の構成例を示す模式図である。

【図 8】

本発明の実施形態 3 の撮像装置の構成図である。

【図 9】

図 8 の撮像装置の一部分の詳細図である。

【図 1 0】

従来の固体撮像素子の構成を示す模式図である。

【図 1 1】

従来の固体撮像素子の一部分を示す図である。

【符号の説明】

- 1 バリア
- 2 レンズ
- 3 絞り
- 4 固体撮像素子
- 5 撮像信号処理回路
- 6 A/D変換器
- 7 信号処理部
- 8 タイミング発生部
- 9 全体制御・演算部
- 10 メモリ部
- 11 記録媒体制御インターフェース (I/F) 部
- 12 記録媒体
- 13 外部インターフェース (I/F) 部
- 901 R撮像領域
- 902 G1撮像領域
- 903 G2撮像領域
- 904 B撮像領域
- 905 画素
- 906a～906d 垂直シフトレジスタ
- 907 パルス信号出力回路
- 909 水平信号線

910, 910a, 910b ラインメモリ

911a~911d 水平シフトレジスタ

912 垂直信号線

913 増幅器

914 出力端子

921 フォトダイオード

922 転送スイッチ

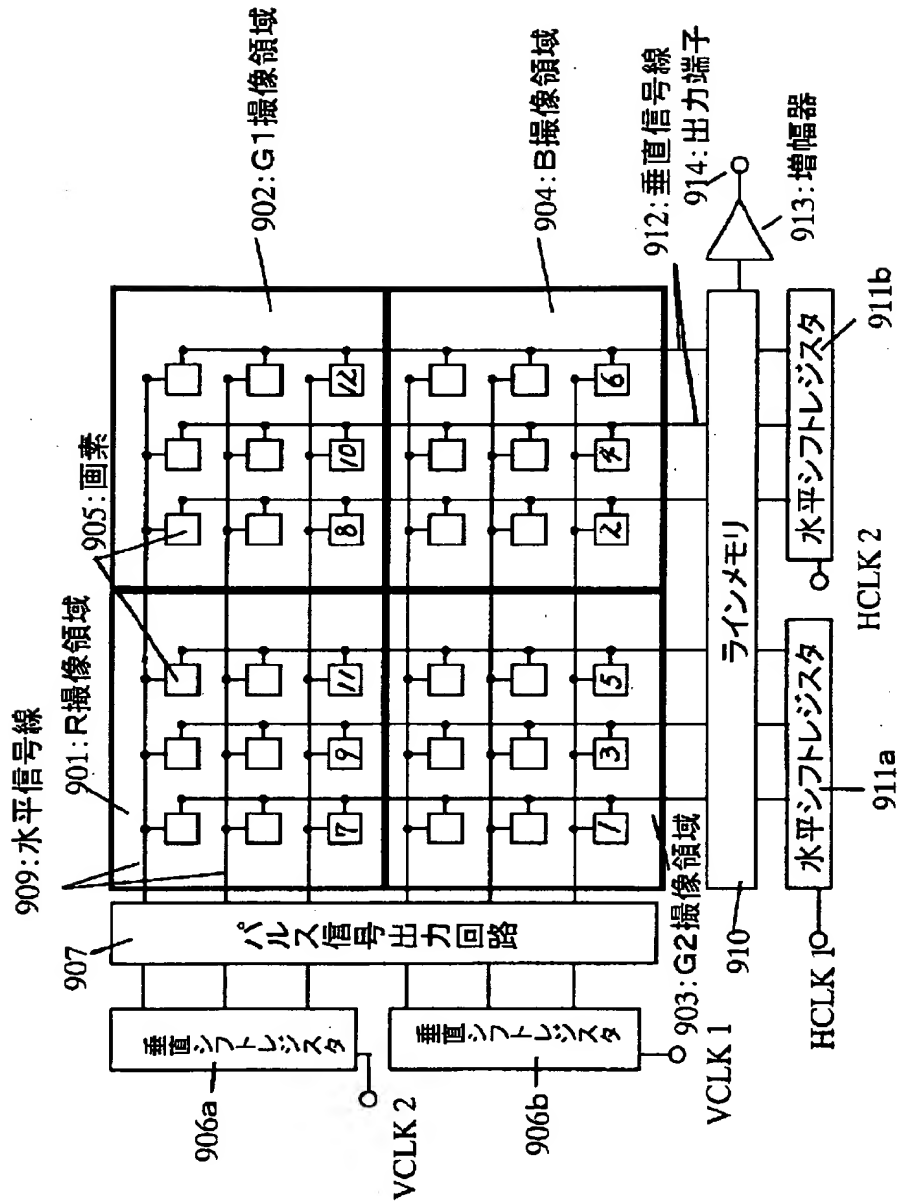
923 MOSトランジスタ

924 リセットスイッチ

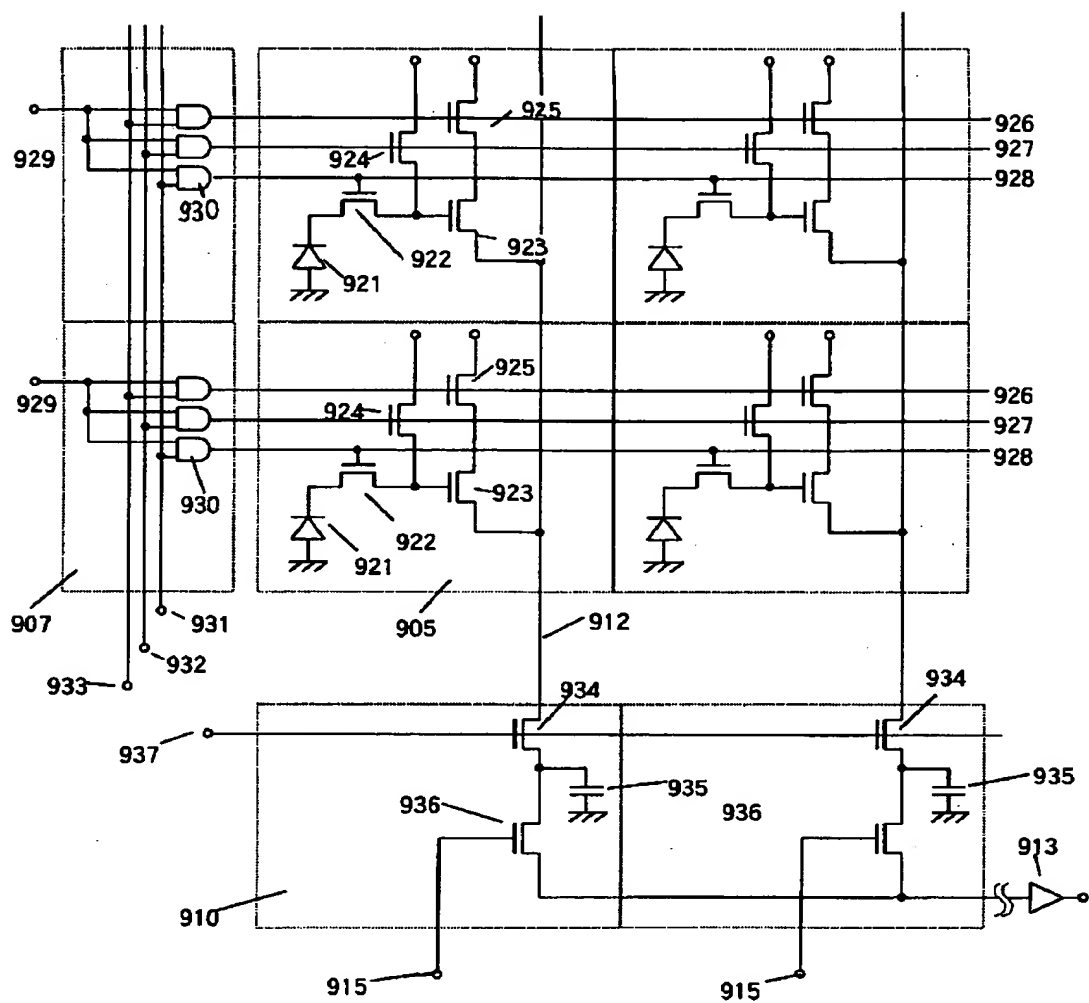
925 選択スイッチ

【書類名】 図面

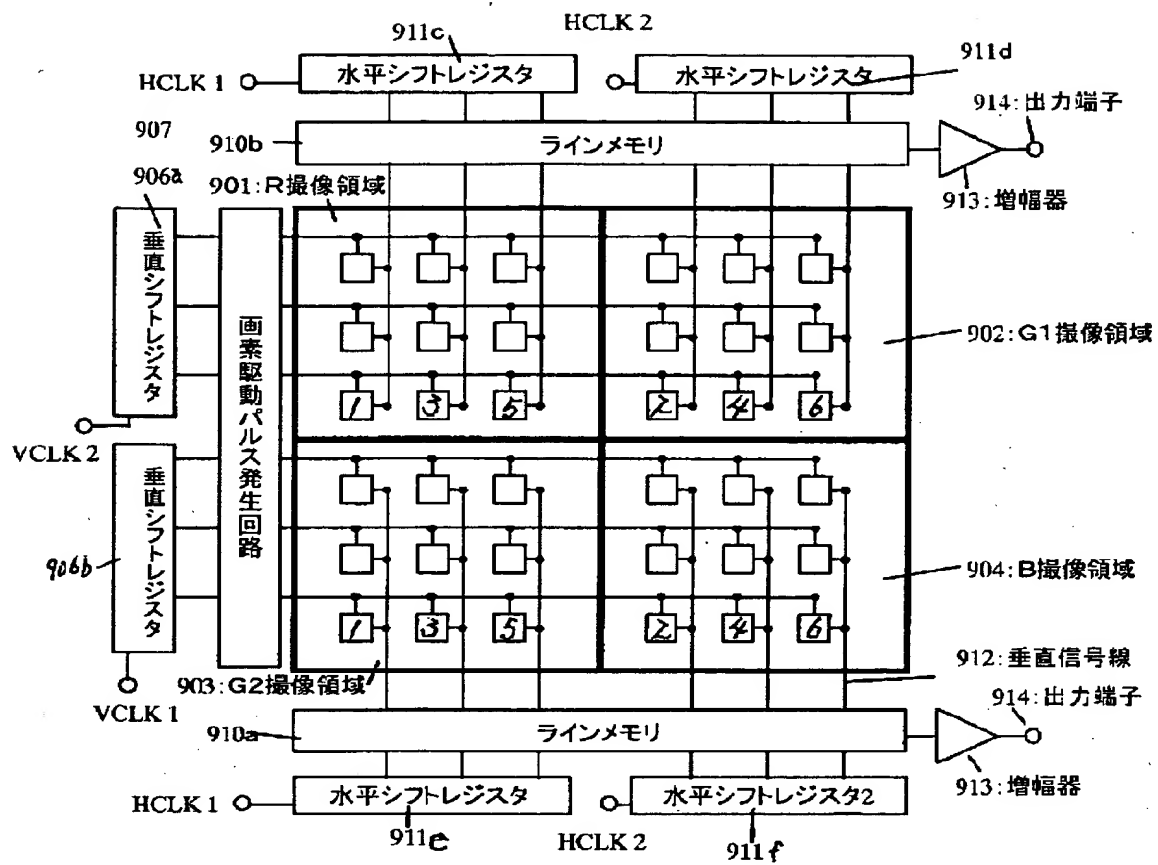
【図 1】



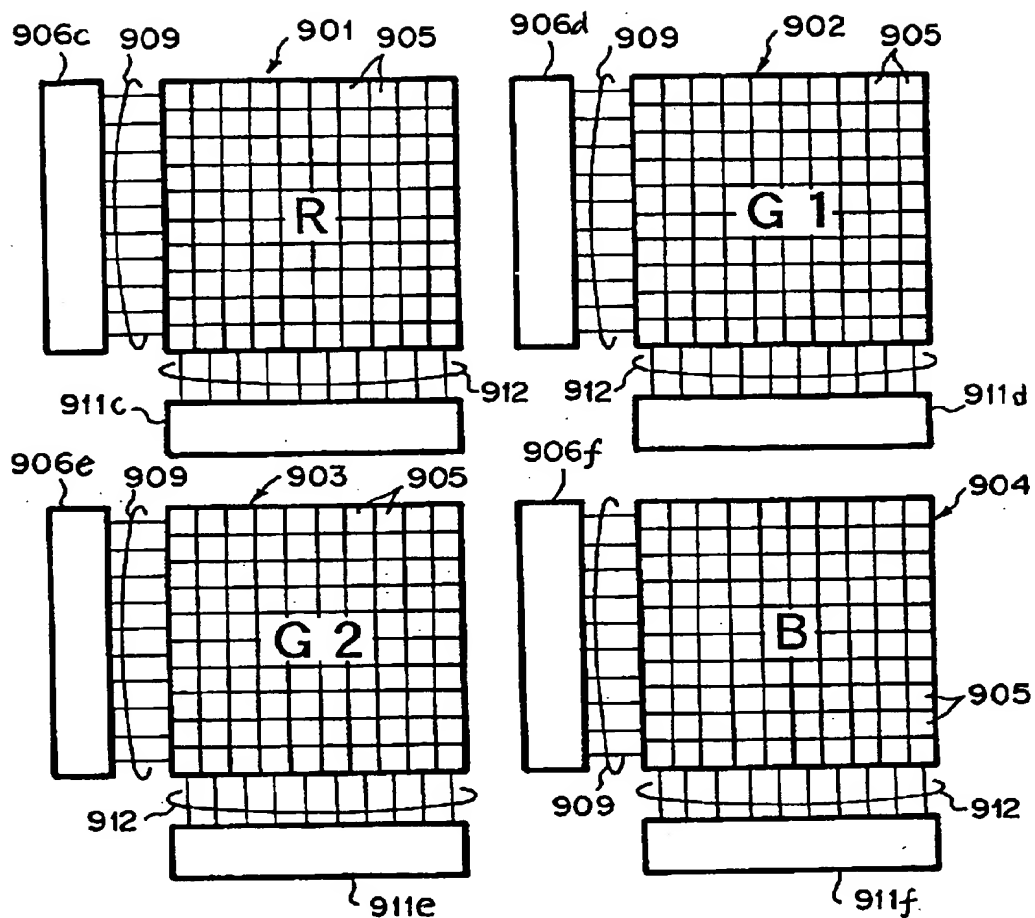
【図 2】



【図 3】

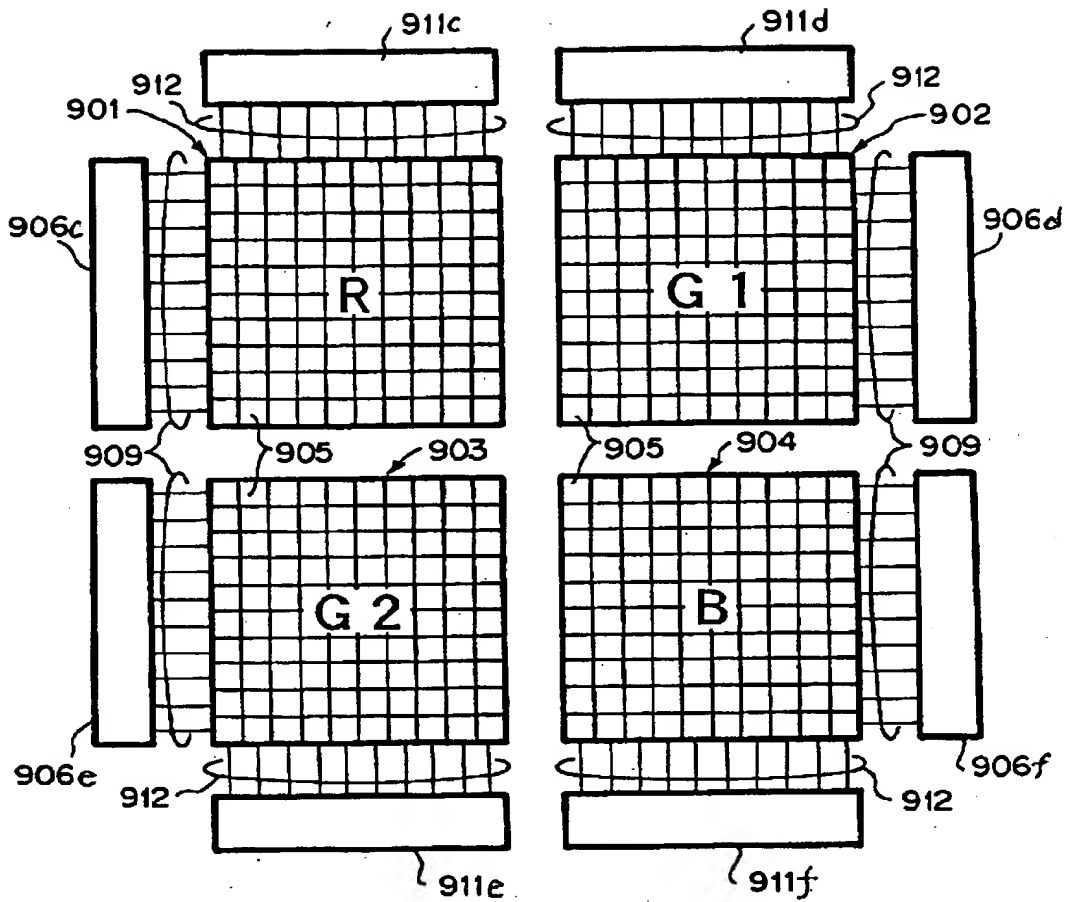


【図 4】



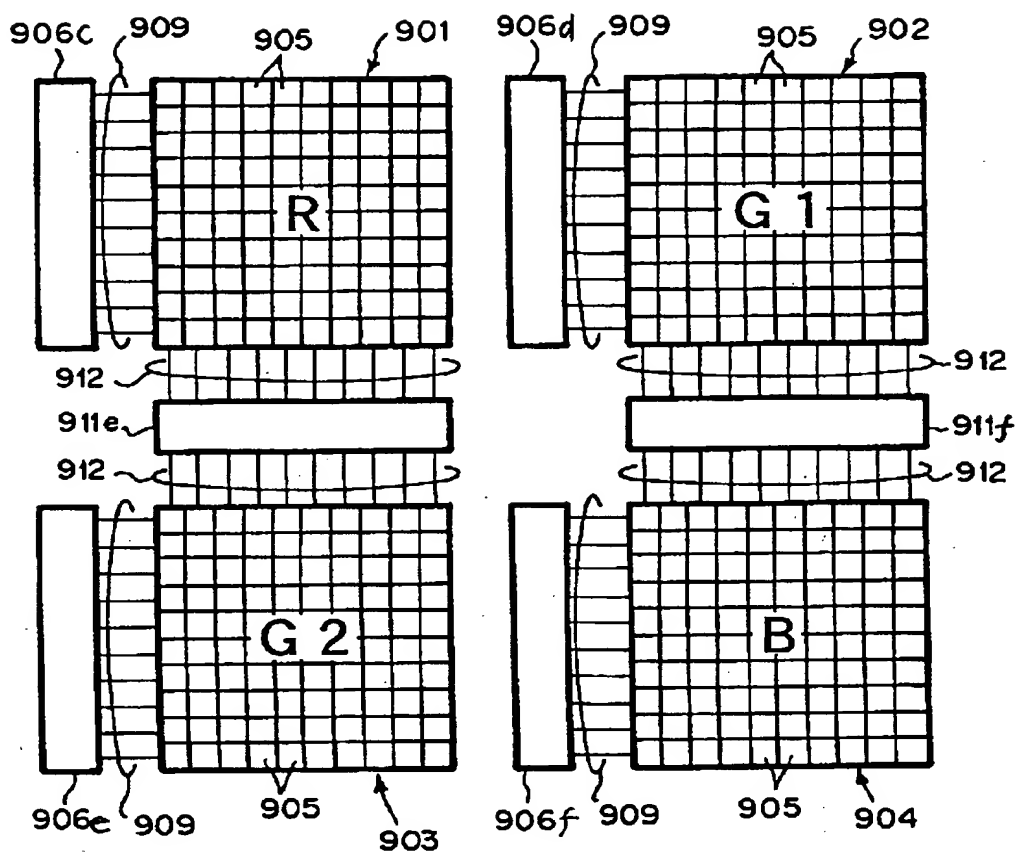
- | | |
|---------------|-------------------------|
| 901 : R 撮像領域 | 906c ~ 906f : 垂直シフトレジスタ |
| 902 : G1 撮像領域 | 909 : 水平信号線 |
| 903 : G2 撮像領域 | 911c ~ 911f : 水平シフトレジスタ |
| 904 : B 撮像領域 | 912 : 垂直信号線 |
| 905 : 画素 | |

【図 5】



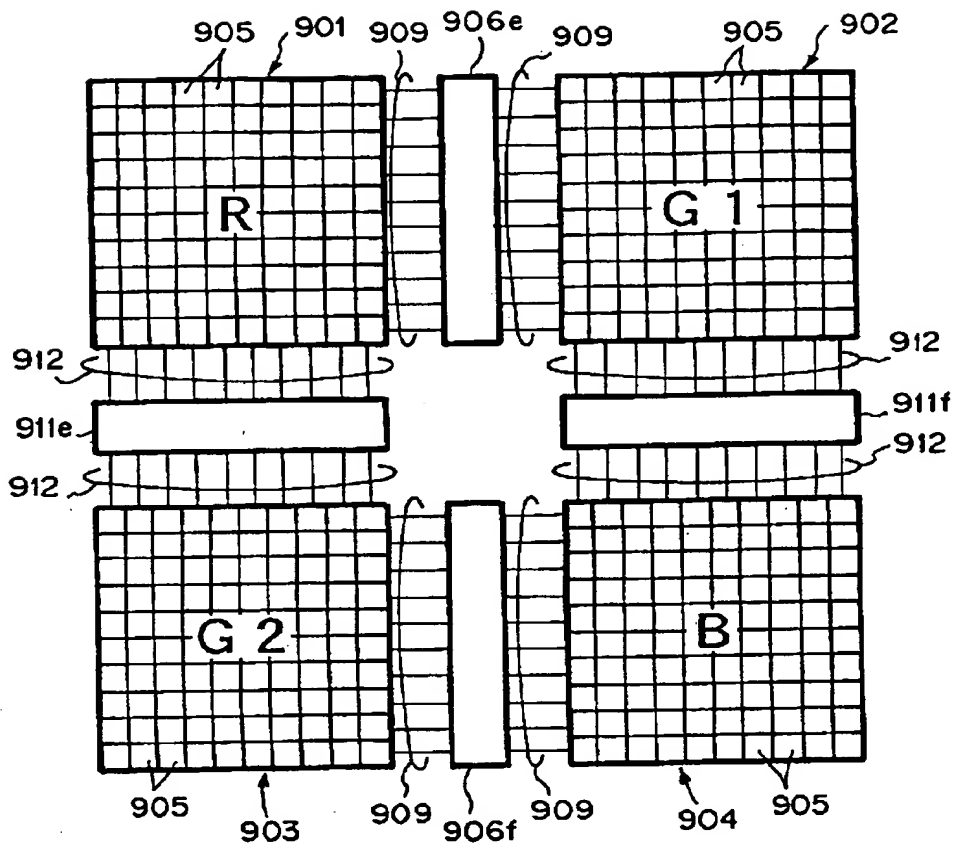
- | | |
|---------------|-------------------------|
| 901 : R 撮像領域 | 906c ~ 906f : 垂直シフトレジスタ |
| 902 : G1 撮像領域 | 909 : 水平信号線 |
| 903 : G2 撮像領域 | 911c ~ 911f : 水平シフトレジスタ |
| 904 : B 撮像領域 | 912 : 垂直信号線 |
| 905 : 画素 | |

【図 6】



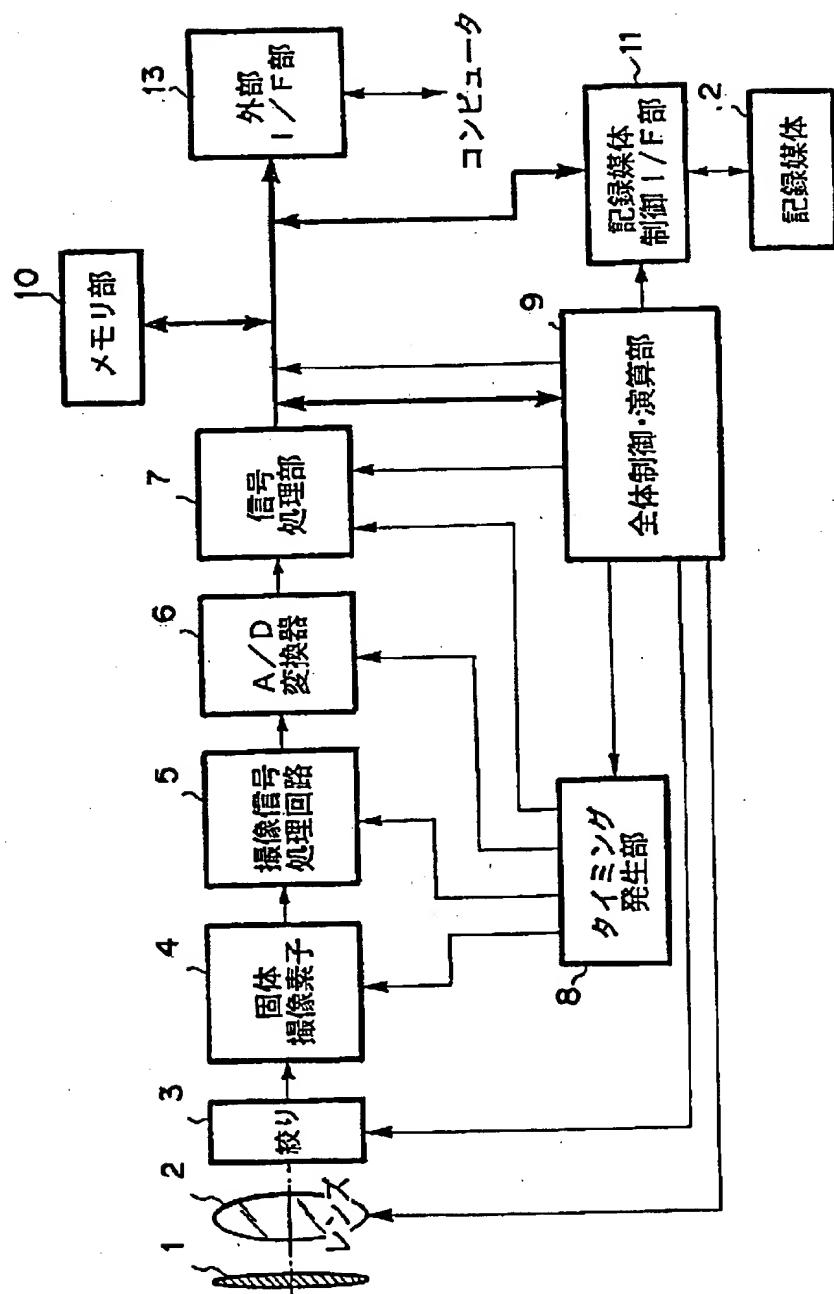
901 : R 撮像領域	906c ~ 906f : 垂直シフトレジスタ
902 : G1 撮像領域	909 : 水平信号線
903 : G2 撮像領域	911e, 911f : 水平シフトレジスタ
904 : B 撮像領域	912 : 垂直信号線
905 : 画素	

【図 7】

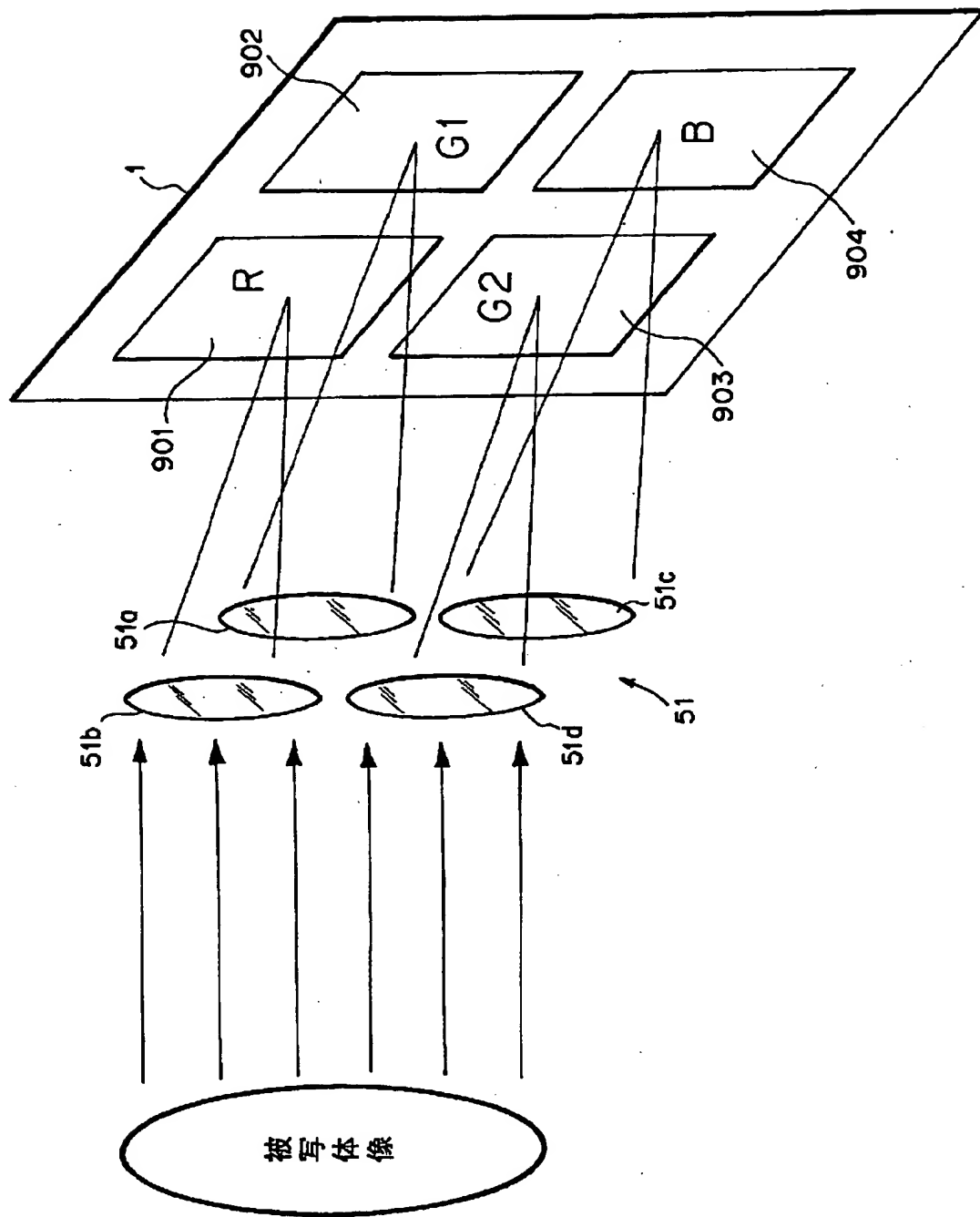


- | | |
|---------------|------------------------|
| 901 : R 撮像領域 | 906e, 906f : 垂直シフトレジスタ |
| 902 : G1 撮像領域 | 909 : 水平信号線 |
| 903 : G2 撮像領域 | 911e, 911f : 水平シフトレジスタ |
| 904 : B 撮像領域 | 912 : 垂直信号線 |
| 905 : 画素 | |

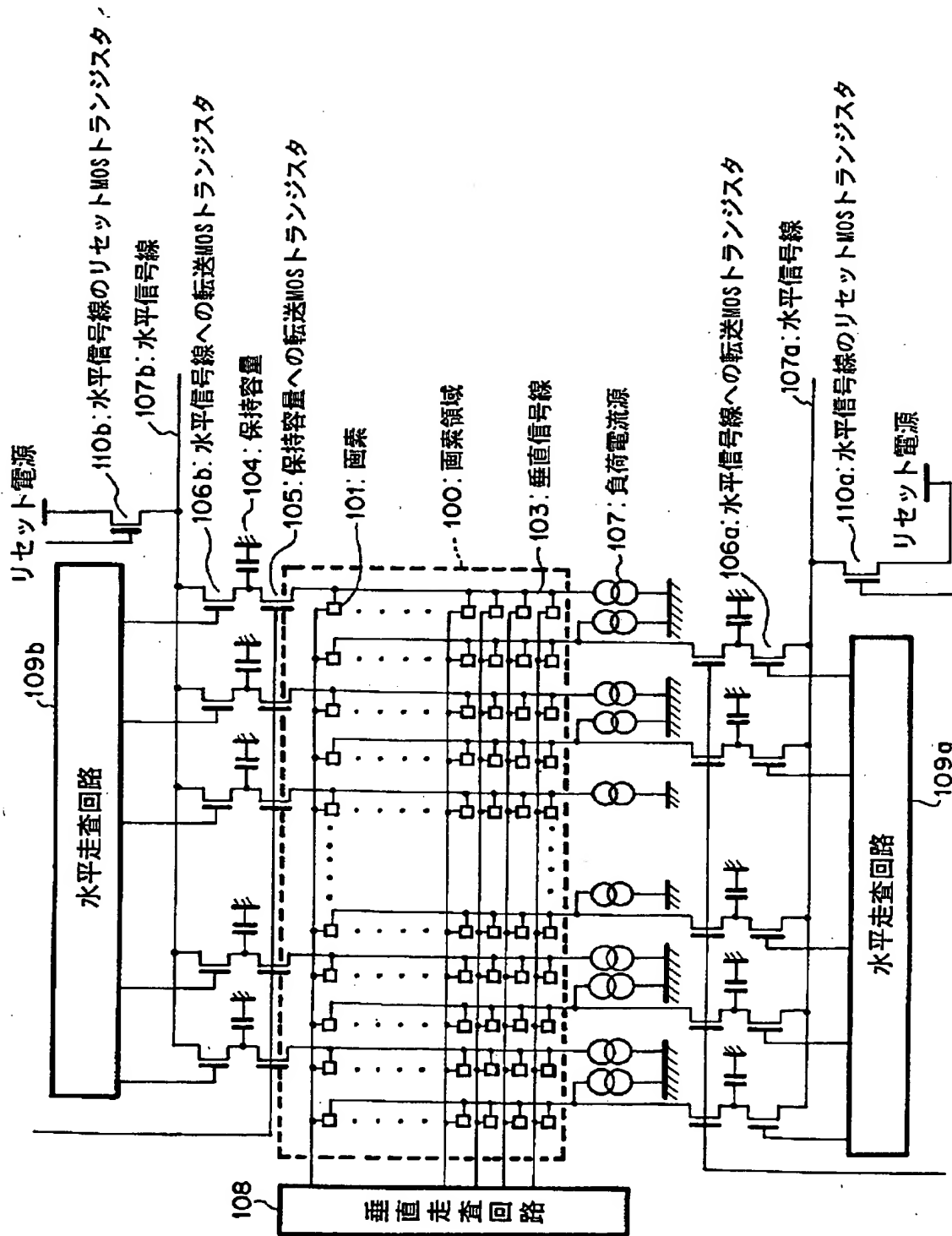
【図 8】



【図 9】



【図 10】



【図 1 1】

R	G	R	G
G	B	G	B
R	G	R	G
G	B	G	B

121

122

123

【書類名】 要約書

【要約】

【課題】 撮像領域間で光電荷の蓄積時間のずれを少なくして良好な画像を形成する。

【解決手段】 同一半導体チップ上に２次元に配列された画素を有する撮像領域を複数備えた固体撮像装置において、前記複数の撮像領域の各々の同行同列に配列されている画素のいくつかに対して順次又は同時に信号を供給するための手段と、供給された前記信号に応じて読み出される信号を順次外部へ出力するための手段とをそれぞれ複数設けることを特徴とする。

【選択図】 図 1

【書類名】 手続補正書

【提出日】 平成12年11月14日

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2000-319630

【補正をする者】

【識別番号】 000001007

【氏名又は名称】 キヤノン株式会社

【代理人】

【識別番号】 100065385

【住所又は居所】 東京都港区虎ノ門5丁目13番1号
虎ノ門40森ビル

【弁理士】

【氏名又は名称】 山下 穰平

【電話番号】 03-3431-1831

【手続補正 1】

【補正対象書類名】 特許願

【補正対象項目名】 発明者

【補正方法】 変更

【補正の内容】

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会
社内

【氏名】 米田 智也

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会
社内

【氏名】 光地 哲伸

【プルーフの要否】 要

認定・付加情報

特許出願の番号	特願 2000-319630
受付番号	50001469519
書類名	手続補正書
担当官	仲村 百合子 1730
作成日	平成 12 年 12 月 25 日

<認定情報・付加情報>

【補正をする者】

【識別番号】	000001007
【住所又は居所】	東京都大田区下丸子 3 丁目 30 番 2 号
【氏名又は名称】	キャノン株式会社

【代理人】

申請人	
【識別番号】	100065385
【住所又は居所】	東京都港区虎ノ門五丁目 13 番 1 号 虎ノ門 40 森ビル 山下国際特許事務所
【氏名又は名称】	山下 穰平

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都大田区下丸子3丁目30番2号

氏 名 キヤノン株式会社